

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030060403 A
(43)Date of publication of application: 16.07.2003

(21)Application number: 1020020001091
(22)Date of filing: 09.01.2002

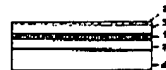
(71)Applicant: JANG, JIN
(72)Inventor: CHOI, JONG HYEON
JANG, JIN
KIM, DO YEONG

(51)Int. Cl. C30B 25/02

(54) METHOD FOR CRYSTALLIZING AMORPHOUS SILICON

(57) Abstract:

PURPOSE: A method for crystallizing amorphous silicon is provided to reduce the metallic contamination and obtain a uniform and planarized polycrystalline silicon layer by using a cover layer in a crystallizing process of the amorphous silicon.



CONSTITUTION: An amorphous silicon layer(12) is deposited on an upper surface of an insulating substrate. A cover layer (36) is formed on an upper portion of the amorphous silicon layer. A metal layer(31) is deposited on an upper portion of the cover layer. A polycrystalline silicon layer is formed by crystallizing the amorphous silicon layer. The cover layer is formed with one of a silicon nitride layer or a silicon oxide layer. The silicon nitride layer or the silicon oxide is deposited under the temperature of 550 degrees centigrade by using a PECVD method.

© KIPO 2003

Legal Status

Date of final disposal of an application (20050104)

Patent registration number (1004739960000)

Date of registration (20050221)

Date of opposition against the grant of a patent (00000000)

Best Available Copy

공개특허 특2003-0060403

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.⁷
 C30B 25/02

(11) 공개번호 특2003-0060403
 (43) 공개일자 2003년07월16일

(21) 출원번호 10-2002-0001091
 (22) 출원일자 2002년01월09일

(71) 출원인 장 진
 서울 서초구 잠원동 한신7차아파트302-908호

(72) 발명자 장진
 서울특별시서초구잠원동53번지현대아파트102동1103호

최중현
 서울특별시중대문구회기동경희대학교문리과대학물리학과

김도영
 서울특별시중대문구회기동경희대학교문리과대학물리학과

심사청구 : 있음

(54) 비정질 실리콘의 결정화 방법

요약

본 발명은 금속이 포함된 비정질 실리콘박막을 다결정 실리콘박막으로 결정화하는데 있어서, 금속오염을 줄이고, 그레인의 균일도가 좋고, 그레인의 크기를 크게하기 위해 비정질 실리콘 박막 위에 질화막, 산화막 또는 유기막등의 덮개층을 형성시켜 금속유도 결정화된 다결정 실리콘 박막을 얻는데 의의가 있다.

비정질 실리콘을 결정화할 때 덮개층으로 질화막 혹은 산화막을 비정질 실리콘 박막위에 형성시키는 단계와 극소미량의 금속을 덮개층상에 증착시키는 단계, 급속열처리(rapid thermal annealing), 자외선(UV)조사, 또는 레이저조사를 이용하여 금속 다이실리사이드 핵(침전)을 형성시키는 단계, 그리고 급속열처리(rapid thermal annealing), 자외선(UV) 혹은 레이저조사를 이용하여 핵으로부터 측면으로 금속유도 결정화 시켜서 이웃한 그레인과 부딪쳐서 그레인 경계가 형성되는 단계로 나눌 수 있다.

대표도

도 1

색인어

덮개층, 다결정 실리콘박막, 금속 다이실리사이드, 급속열처리, 측면성장

명세서

도면의 간단한 설명

도 1은 덮개층을 이용한 비정질 실리콘의 금속유도 결정화를 위한 시료의 단면도.

공개특허 2003-0060403

도 2는 덮개층을 이용한 비정질 실리콘의 금속유도 결정화 방법으로 결정화된 다결정 실리콘 박막의 단면도.

도 3은 덮개층을 이용한 비정질 실리콘의 금속유도 결정화 과정을 나타내는 광학현미경 사진(200배 사진).

도 4는 질화막(SiNx)을 덮개층으로 이용하고 금속양을 변화시켜 비정질 실리콘을 결정화한 다결정 실리콘의 광학 현미경 사진(500배 사진).

도 5는 덮개층을 이용한 비정질 실리콘의 금속유도 결정화 과정을 도식화한 그림.

도 6은 덮개층을 이용한 비정질 실리콘의 금속유도 결정화 과정의 단면을 도식화한 그림.

도 7은 덮개층을 이용한 금속유도 결정화된 다결정 실리콘 박막과 덮개층이 없는 금속유도 결정화된 다결정 실리콘 박막의 원자힘현미경(Atomic Force Microscope) 표면사진.

도 8은 덮개층을 이용하여 비정질 실리콘을 결정화할 때, 결정화된 실리콘과 비정질 실리콘의 경계를 보여주는 주사전자현미경(SEM) 사진.

도 9는 덮개층을 두께가 다른 두 부분으로 형성하여 비정질 실리콘의 금속유도 결정화 방법의 단면도.

도 10은 금속층을 부분적으로 패터닝하여 비정질 실리콘의 금속유도 결정화 방법의 단면도.

도 11은 완충층을 이용한 비정질 실리콘의 금속유도 결정화 방법의 단면도.

<도면의 주요부분에 대한 부호의 설명>

11. 실리콘그레인. 12. 비정질 실리콘 박막.

13. 금속증착

21. 그레인 경계.

31. 금속박막층

32. 결정화 핵으로 작용하는 금속 다이실리사이드(MSi₂) 침전(Precipitate)

33. 다결정실리콘 그레인 영역 34. 그레인 경계영역

35. 완충층 36. 덮개층

41. 다결정실리콘 박막 42. 유리기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비정질 실리콘의 결정화 방법에 관한 것이다.

다결정 실리콘을 이용한 트랜지스터 소자는 대부분 능동행렬 액정디스플레이(AMLCD: Active Matrix Liquid Crystal Display)의 능동소자와 전기발광(electro-luminescence)소자의 스위칭 소자 및 주변회로에 사용된다. 이때, 다결정 실리콘을 사용하는 박막트랜지스터 제작은 직접 증착법, 고온열처리를 이용한 기술, 또는 레이저 열처리 기술[J. S. Im and H. J. Kim, Appl. Phys. Lett. Vol 64 (1994)]을 이용한다. 레이저 열처리 방법은 저온 공정이 가능하고 높은 전계효과 이동도(field effect mobility)를 구현할 수 있지만, 고가의 레이저 장비가 필요하므로 대체 기술이 많이

공개특허 2003-0060403

연구되고 있다.

현재 금속을 이용하여 비정질 실리콘을 재결정화 하는 방법은 고상결정화(solid phase crystallization)보다 낮은 온도에서 빠른 시간 내에 결정화 시킬 수 있는 장점을 가지고 있기 때문에 많이 연구되고 있다. 금속을 이용한 결정화 방법은 금속유도 결정화(metal induced crystallization)방법[C. Hayzelden, J. L. Batston, J. Appl. Phys. Vol. 73 8279 (1993)]과 금속유도 측면 결정화(metal induced lateral crystallization)방법[J. Jang, S. Y. Yoon, International Journal of High Speed Electronic and Systems, Vol. 10 13 (2000)]으로 구분된다. 그러나 금속을 이용한 경우 박막 트랜지스터 소자의 금속오염으로 소자특성이 저하된다. 한편으로 금속양을 최소로 줄이고 양질의 다결정 실리콘 박막을 형성시키기 위해서, 이온주입기를 통해서 금속의 이온농도를 $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 으로 증착해서 고온처리, 금속열처리 혹은 레이저조사로 양질의 다결정 실리콘 박막을 형성시키는 기술과 금속유도 결정화 방법으로 다결정 실리콘 박막의 표면을 평평하게 하기 위해 점성이 있는 유기박막과 액상의 금속을 혼합하여 스핀 코팅(Spin-coating) 방법으로 박막을 증착한 다음, 열처리 공정으로 결정화하는 방법이 개발되어 있다[J. H. Ahn and B. T. Ahn, Journal of The Electrochemical Society, 148, H115 (2001)]. 하지만 현재 기술로는 다결정 실리콘에서 가장 중요시되는 금속오염, 그레인 크기의 대형화 및 균일도 측면에서 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 비정질 실리콘 박막 위에 덮개층(질화막, 절연막 또는 유기막)을 형성시키고 그 위에 금속 박막층을 증착하거나 혹은 기판위에 금속층을 증착하고 그 위에 완충층으로 질화막, 산화막, 혹은 유기막을 형성시키고 그 위에 비정질 실리콘을 증착하여 열처리 혹은 레이저를 이용해서 미량의 금속이 덮개층 혹은 완충층인 절연막을 통해서 확산되어 비정질 실리콘의 금속유도결정화 방법으로 금속박막층을 비정질 실리콘과 직접 접촉없이 결정화 할 수 있기 때문에 금속오염을 줄이고, 균일한 그레인 크기를 갖는 다결정 실리콘 박막을 얻을 수 있고, 깨끗하고 평평한 표면을 갖는 다결정 실리콘 박막을 얻는 것을 목적으로 하고 있다.

발명의 구성 및 작용

본 발명은, 완충층상에 형성된 비정질 실리콘 위에 덮개층으로 질화막(산화막 혹은 유기막)을 5~1000nm정도 형성하는 단계와, 금속을 얇게 $10^{12} \sim 10^{15} \text{ cm}^{-2}$ 으로 증착하는 단계와, 600도 이하에서 사전 열처리단계와, 열처리, 금속 열처리, 자외선(UV)조사, 또는 레이저조사로 비정질 실리콘의 금속유도 결정화시키는 단계로 구성된다.

여기서 비정질 실리콘 박막 위의 덮개층의 역할은, 금속층을 직접적으로 비정질 실리콘 박막과 접촉을 막을 수 있고, 덮개층 위의 금속을 결정화후에 덮개층과 함께 제거함으로써 필요 이상의 금속오염을 막을 수 있다는 장점을 갖는다. 또한, 금속이 덮개층 아래로 균일하게 확산되어 비정질 실리콘 박막을 결정화시키기 때문에 균일도가 좋고, 깨끗하고, 평평한 표면을 갖는 양질의 다결정 실리콘 박막을 얻을 수 있다.

덮개층 위에 미량의 금속박막층을 형성하는 방법으로는 플라즈마 영역 내에 증착할 금속을 두어 화학기상 증착(CVD) 방법으로 증착하거나, 스퍼터(sputter)에 의한 증착방법, 또는 산에 용해된 금속액을 스핀 코팅하거나, 점성이 있는 유기막과 액상의 금속을 혼합해서 스핀 코팅하는 방법등이 있다.

덮개층을 이용한 비정질 실리콘의 금속유도 결정화를 위한 시료는 금속을 미량으로 확산시킬 수 있도록 덮개층으로 질화막을 형성시킨후, 금속박막을 그 위에 형성시킨다. 금속유도 결정화는 열처리(Furnace), 금속 열처리(Rapid thermal annealing), 레이저 또는 자외선(UV)등의 열에너지를 이용해서 금속 박막으로부터 미량의 금속이 덮개층 아래쪽으로 확산되어 비정질 실리콘 박막내에 금속 다이실리사이드(MSi₂) 핵을 균일하게 형성시키고, 이들이 측면으로 결정화된 그레인들이 인접한 그레인과 부딪치며 비정질 실리콘이 완전결정화 된다. 결과적으로 그레인 경계가 형성되는 다결정 실리콘 박막이 얻어진다. 또한 덮개층을 이용한 비정질 실리콘의 금속유도 결정화 방법을 사전 열처리 600도 이하의 온도에서 어닐링하여 금속다이실리사이드(MSi₂) 침전(또는 핵)을 형성시키고, 덮개층 위의 두께에 따라서 금속층을 제거하거나 혹은 그대로 남겨진 다층구조에서 2차 혹은 3차이상으로 400~1300도에서 어닐링 하거나 레이저조사를 이용해서 비정질 실리콘의 금속유도 결정화하는 것을 포함한다.

상기와 같은 목적을 달성하기 위한 본 발명에 따른 다결정 실리콘 박막을 얻기 위한 방법의 특징은 질화막, 산화막 또는 유기막등의 덮개층을 형성시켜 금속 유도 결정화 시키는데 있다.

본 발명의 실시예로, 도 1은 덮개층을 이용한 비정질 실리콘의 금속유도 결정화방법으로 비정질 실리콘을 결정화시키기 위한 단면 구조이다. 유리기판(42)위에 실리콘 산화막과 같은 물질로 완충층(35)을 형성한 다음, 화학 기상 증착(Cheical Vapor Deposition)방법으로 비정질 실리콘 박막(12)을 50 nm 증착하였다. 여기서, 완충층(35)은 실리콘 질화막으로 이루어질 수도 있으며, 생략할 수도 있다. 이어, 비정질 실리콘 위에 덮개층으로 질화막(36)을 150nm 형

공개특허 2003-0060403

성 후에, 스퍼터(Sputter)를 이용해서 금속 박막(31)을 증착하였다. 금속 박막(31)의 증착 방법은 이온 주입을 통한 방법으로 이루어질 수 있고, 플라즈마를 이용하여 형성할 수 있는데, 플라즈마를 이용한 방법은 실리콘 박막(12) 상부에 금속 물질을 배치하고 이를 플라즈마에 노출시켜 이루어질 수 있다. 또한, 금속 박막(31)은 산 용액에 용해된 액상의 금속 혹은 점성이 있는 유기막과 액상의 금속을 혼합해서 스핀코팅 방법으로 형성할 수도 있다.

도 2는 덮개층을 이용한 비정질 실리콘의 금속유도 결정화 방법으로 결정화 된 다결정 실리콘 박막의 최종 단면 구조이다. 덮개층(도 1의 36)과 금속박막(도 1의 31)은 결정화 후에 에칭(etching)으로 제거함으로써, 비정질 실리콘의 금속유도 결정화된 다결정 실리콘 박막에 필요 이상의 금속 오염을 막을 수 있다. 이와 같이, 덮개층을 이용함으로써 금속과 비정질 혹은 다결정 실리콘 박막과의 직접 접촉을 막을 수 있고, 평평도가 우수한 다결정 실리콘 박막(41)을 얻을 수 있다.

본 발명에서는 덮개층을 실리콘 질화막을 이용하였으나, 덮개층은 실리콘 산화막으로 이루어질 수 있으며, 또는 유기막으로 이루어질 수도 있다.

여기서, 다결정 실리콘 박막(41)은 열처리나 레이저를 조사하여 형성할 수 있다. 열처리는 도가니(Furnace)에서 장시간 가열함으로써 이루어질 수 있는데, 이때 온도는 400에서 1300도 사이에서 처리한다. 또한, 열처리는 온도를 급속하게 변화시키는 급속 열처리(rapid thermal annealing : RTA)에 의해 이루어질 수 있으며, 이때의 온도는 400에서 1300도 일 수 있다.

도 3은 덮개층을 이용한 비정질 실리콘의 금속유도 결정화과정을 설명하는 200배 광학현미경 사진이다. 유리기판 상의 완충층 위에 비정질 실리콘 박막을 50 nm 형성하고, 덮개층으로 질화막을 150 nm 형성시켰다. 덮개층 위의 니켈 금속은 $1 \times 10^{13} \text{ cm}^{-2}$ 으로 형성시킨 후 430도에서 1시간 동안 열처리하고, 펄스-급속열처리 방법으로 750도에서 20초 유지 20번 반복으로 결정화 시켰다. 도 3B는 결정화가 끝난 다결정 실리콘의 광학사진이다. 도 3A는 750도에서 20초 유지 5번 반복으로 결정화된 사진이다. 도 3A 사진으로부터 미량의 니켈 금속이 덮개층 두께 150nm를 확산해서 비정질 실리콘 박막(12) 내에 금속 다이실리사이드(침전)를 형성하고 측면으로 성장하여 도 3B 사진에서와 같이 이웃한 그레인(11)과 부딪혀서 그레인 경계영역(21)이 형성되는 것으로 해석된다.

도 4는 덮개층으로 질화막(SiNx)을 이용한, 비정질 실리콘의 금속유도 결정화후 500배 확대된 광학 현미경 사진이다. 결정화하기 위한 구조는 질화막(60 nm) / 비정질 실리콘 박막(50 nm) / 산화막(100 nm) / 유리기판이다. 도 4A, 도 4B, 도 4C는 각각 덮개층위의 니켈금속을 면적당 $5 \times 10^{12} \text{ cm}^{-2}$, $8 \times 10^{12} \text{ cm}^{-2}$, 그리고 $1 \times 10^{13} \text{ cm}^{-2}$ 으로 형성시킨 후, 500도에서 5분동안 사전 열처리후 펄스-급속열처리 방법으로 750도에서 20초 유지시켜 20번 연속으로 결정화된 다결정 실리콘 박막의 그레인(11) 크기와 그레인 경계(21)를 보여주고 있다. 도 4A, 4B, 4C의 그레인의 크기는 각각 90, 30, 20 μm 이다. 덮개층 위의 금속 밀도가 감소함에 따라서 그레인 크기가 증가하는 것을 사진으로 확인한 결과이다.

도 5와 도 6는 덮개층을 이용한 금속유도 결정화 방법을 도식화한 그림이다. 덮개층(36)위에 금속박막(31)을 형성한 다음 200도에서 800도 이하의 온도에서 열처리 혹은 레이저를 이용해서 도 5B 혹은 도 6B와 같이 미량의 금속을 비정질 실리콘 박막(12)내에 확산시켜 금속다이실리사이드(MSi₂) 침전 (또는 핵)(33)을 형성시킨다. 이때 덮개층(36)을 통과해서 확산되지 못한 금속은 질화막 위에 남게 된다. 도 5C와 도 6C는 400도에서 1300도 이하의 온도에서 열처리를 하게 되면 핵으로부터 측면으로 성장해서 이웃한 그레인(11)과 만나게 되어 그레인 경계(21)를 형성하며 완전 결정화 된다. 마지막으로 도 5D와 도 6D는 덮개층을 제거한 후의 도면이다. 이때 불필요한 금속박막을 함께 제거하기 때문에 양질의 다결정 실리콘 박막(41)을 얻을 수 있다. 그리고 결정화된 다결정 실리콘 박막을 2차 혹은 3차이상 600도에서 1300도 사이에서 고온 열처리를 하거나 레이저조사를 이용해서 재결정화 하는 방법으로 양질의 다결정 실리콘 박막을 얻을 수 있다.

도 7은 덮개층을 이용한 비정질 실리콘의 금속유도 결정화된 다결정 실리콘 박막과 덮개층이 없이 금속유도 결정화된 다결정 실리콘 박막의 표면 거칠기를 비교하는 원자힘현미경(AFM) 표면 사진이다. 도 7A는 덮개층이 없고, 도 7B는 덮개층(질화막)을 60nm형성시켜 결정화된 다결정 실리콘 박막의 RMS(Root Mean Square) 거칠기 값은 각각 1.33nm와 0.92nm로 덮개층을 이용하여 제작된 다결정 실리콘 박막의 표면거칠기가 우수한 것으로 판명되었다.

도 8은 덮개층을 이용한 다결정 실리콘 박막의 주사전자현미경(SEM)사진을 보여주고 있다. 덮개층을 통해 확산되어 비정질 실리콘 박막(12)내에서 금속다이실리사이드 핵(11)을 형성하고 핵으로부터 측면으로 바늘 모양의 결정립(needle-like structure)(11)으로 성장함을 알 수 있다.

본 발명의 다른 실시예에서는 덮개층을 두께가 다른 두 부분으로 형성하여 비정질 실리콘을 결정화할 수 있다. 이러한 예를 도 9에 도시하였다. 도시한 바와 같이, 절연 기판(42) 상부에 완충층(35)을 형성하고 그 위에 비정질 실리콘(12)을 형성한다. 이어, 비정질 실리콘 위에 덮개층을 형성하는데, 덮개층은 실리콘 산화막이나 실리콘 질화막으로 이

공개특허 특2003-0060403

루어질 수 있다. 여기서, 덮개층은 제 1 두께를 가지는 제 1 부분과 상기 제 1 두께보다 두꺼운 두께를 가지는 제 2 부분으로 이루어지는데, 제 1 부분은 단일막으로 이루어지며, 제 2 부분은 이중막으로 이루어질 수 있다. 이때, 제 2 부분의 하부막과 상부막은 동일한 물질로 이루어질 수 있으며, 다른 물질로 이루어질 수도 있다.

도 10은 덮개층(36)위에 금속층(31)을 부분적으로 패터닝하여 비정질 실리콘(12)의 금속유도 결정화 방법을 나타낸다. 금속의 부분 패터닝 방법은 사진 식각기술을 이용하는 방법, PR(photo resistor)를 이용해서 리프트 오프(lift-off)하는 방법 또는 섀도우 마스크(shadow mask)를 이용하는 방법이 있다.

도 11는 기판위에 금속 박막(31)을 50nm이하로 증착하고 완충층(35)으로 실리콘 질화막을 500nm이하로 증착한 다음, 비정질 실리콘 박막(12)을 5nm 에서 500nm이하로 증착하여 비정질 실리콘의 금속유도 결정화의 실시예이다. 도면에서와 같이 열처리 방법, 금속 열처리 방법 또는 레이저조사를 이용해서 미량의 금속이 완충층(35)을 통해서 비정질 실리콘 박막내에 금속 다이실리사이드 침전(핵)(32)을 형성시키고, 핵으로부터 측면으로 이웃한 그래인(33)과 부딪힐때까지 성장하고, 그래인 경계(34)가 형성된다. 이때 본 발명에 있어서, 비정질 실리콘의 금속유도 결정화 후에 2차 혹은 3차 이상 600도에서 1300도 사이에서 열처리 혹은 금속 열처리 하거나 레이저조사를 이용해서 재결정화 하는 것을 포함한다.

발명의 효과

본 발명은 비정질 실리콘 박막을 금속유도 결정화방법으로 다결정 실리콘 박막을 만들 때 크게 문제로 대두되고 있는 금속 오염을 줄이고 균일하고 평평한 다결정 실리콘 박막을 얻기위한 새로운 기술이다. 덮개층을 이용함으로써 금속 박막층은 비정질 실리콘 표면과 직접 접촉없이 덮개층위에 증착되고 덮개층을 통해서 확산되어진 미량의 금속만이 비정질 실리콘의 금속유도 결정화와 핵으로 형성되어 양질의 다결정 실리콘 박막을 얻을 수 있다. 또한 덮개층이 비정질 실리콘 박막 위에 형성되어 비정질 실리콘 박막 표면의 오염이나 산화를 방지할 수 있다. 금속이 비정질 실리콘 박막내에 형성되는 금속다이실리사이드 침전은 덮개층으로 형성되는 질화막의 질소농도에 따라서 제어가 가능하기 때문에 양질의 다결정 실리콘 박막을 얻을 수 있다. 이를 소자에 적용시 덮개층을 제거하고 제작되기 때문에 필요 이상의 금속오염을 막을 수 있다.

덮개층 위에 금속(M)을 증착후 미량의 금속이 덮개층을 통해 비정질 실리콘 박막으로 확산되기 때문에 필요이상의 금속 오염을 막을 수 있고, 균일하고 평평한 다결정 실리콘 박막을 만들 수 있기 때문에, 레이저기술을 대체할 새로운 방법이다. 본 발명에 의한 다결정 실리콘은 평판디스플레이, 태양전지, 반도체 소자들의 제작에 응용될 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판 위에 비정질 실리콘을 증착하는 단계;

상기 비정질 실리콘 상에 덮개층을 형성하는 단계;

상기 덮개층 상부에 금속을 증착하는 단계;

상기 비정질 실리콘을 결정화하여 다결정 실리콘을 형성하는 단계

를 포함하는 비정질 실리콘의 결정화 방법.

청구항 2.

제 1 항에 있어서,

상기 덮개층은 실리콘 질화막 혹은 실리콘 산화막 중의 어느 하나로 이루어지는 비정질 실리콘의 결정화 방법.

청구항 3.

제 2 항에 있어서,

상기 실리콘 질화막 혹은 산화막을 피이시브이디(PECVD) 방법으로 550℃ 이하에서 증착하는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

공개특허 2003-0060403

청구항 4.

제 1 항에 있어서,

상기 덮개층은 실리콘 산화막과 실리콘 질화막의 이중막으로 이루어지는 비정질 실리콘의 결정화 방법.

청구항 5.

제 1 항에 있어서,

상기 덮개층은 서로 다른 두께를 가지는 제 1 부분과 제 2 부분으로 이루어지는 비정질 실리콘의 결정화 방법

청구항 6.

제 5 항에 있어서,

상기 제 1 부분은 단일막으로 이루어지며, 상기 제 2 부분은 이중막으로 이루어지는 비정질 실리콘의 결정화 방법

청구항 7.

제 1 항에 있어서,

상기 덮개층은 유기막으로 이루어지는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 8.

제 1 항에 있어서,

상기 덮개층은 5 내지 1000 nm의 두께를 가지는 비정질 실리콘의 결정화 방법

청구항 9.

제 1 항에 있어서,

상기 다결정 실리콘을 형성하는 단계는 열처리 방법에 의해 이루어지는 비정질 실리콘의 결정화 방법

청구항 10.

제 9 항에 있어서,

상기 열처리는 400 내지 1300℃에서 이루어지는 비정질 실리콘의 결정화 방법

청구항 11.

제 9 항에 있어서,

상기 열처리는 400 내지 1300℃에서 이루어지는 비정질 실리콘의 결정화 방법

청구항 12.

제 9 항에 있어서,

상기 열처리는 400 내지 1300℃에서 이루어지는 비정질 실리콘의 결정화 방법

청구항 13.

상기 다결정 실리콘을 형성하는 단계는 상기 비정질 실리콘에 레이저를 조사하여 이루어지는 비정질 실리콘의 결정화 방법

청구항 14.

제 12 항 또는 제 13 항에 있어서,

상기 비정질 실리콘을 결정화하는 단계 전에 사전 열처리를 실시하여,

상기 비정질 실리콘 내에 금속 다이실리사이드를 형성하는 단계를 더 포함하는 비정질 실리콘의 결정화 방법

공개특허 특2003-0060403

청구항 15.

제 14 항에 있어서,

상기 사전 열처리는 200 내지 800℃에서 이루어지는 비정질 실리콘의 결정화 방법

청구항 16.

제 14 항에 있어서,

상기 사전 열처리 200 내지 800℃에서 이루어지는 비정질 실리콘의 결정화 방법

청구항 17.

제 14 항에 있어서,

상기 사전 열처리 단계 후에 남아 있는 금속층을 제거하는 단계를 더 포함하는 비정질 실리콘의 결정화 방법

청구항 18.

제 17 항에 있어서,

상기 금속을 제거하는 단계 다음에 덮개층을 제거하는 단계를 더 포함하는 비정질 실리콘의 결정화 방법

청구항 19.

제 1 항에 있어서,

상기 금속은 면 밀도가 10¹² 내지 10¹⁶ cm⁻² 인 것을 특징으로 하는 비정질 실리콘의 결정화 방법**청구항 20.**

제 1 항에 있어서,

상기 금속은 두께가 100 nm이하인 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 21.

제 1 항에 있어서,

상기 금속을 증착하는 단계는 이온주입 방법과 플라즈마를 이용한 화학기상 증착(CVD) 방법, 스퍼터(Sputter)방법을 이용해서 금속박막을 증착하는 방법 혹은 산 용액에 용해된 액상의 금속을 코팅하거나 점성이 있는 유기막과 액상의 금속을 혼합하여 스펀 코팅하는 방법 중의 어느 하나를 이용하는 비정질 실리콘의 결정화 방법

청구항 22.

제 1 항에 있어서,

상기 금속은 니켈인 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 23.

제 1 항에 있어서,

상기 금속은 새도우 마스크(shadow mask)를 이용하여 형성되는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 24.

제 1 항에 있어서,

상기 절연 기판은 유리로 이루어지는 비정질 실리콘의 결정화 방법

청구항 25.

제 1 항에 있어서,

상기 절연 기판과 비정질 실리콘 사이에 완충층을 형성하는 단계를 더 포함하는 비정질 실리콘의 결정화 방법

공개특허 2003-0060403

청구항 26.

제 25 항에 있어서,

상기 완충층은 실리콘 산화막과 실리콘 질화막 중의 어느 하나로 이루어지는 비정질 실리콘의 결정화 방법

청구항 27.

절연 기판 위에 비정질 실리콘을 증착하는 단계;

상기 비정질 실리콘 상에 덮개층을 형성하는 단계;

상기 덮개층 상부에 금속 다이실리사이드(MSi₂)를 증착하는 단계;

상기 금속 다이실리사이드가 증착된 비정질 실리콘을 결정화하는 단계

를 포함하는 비정질 실리콘의 결정화 방법

청구항 28.

절연 기판 위에 금속 박막을 증착하는 단계;

상기 금속 박막 상부에 절연막을 형성하는 단계;

상기 절연막 상부에 비정질 실리콘을 증착하는 단계;

상기 비정질 실리콘을 결정화하는 단계

를 포함하는 비정질 실리콘의 결정화 방법

청구항 29.

제 1항 혹은 제 28항에 있어서,

상기 덮개층 상부에 사진 식각기술 방법으로 금속을 부분패턴하는 단계

또는 완충층 아래에 금속을 부분 패턴하는 단계와

상기 부분적으로 패턴된 금속층을 이용해서 비정질 실리콘을 결정화하는 단계를 포함하는 비정질 실리콘의 결정화 방법

청구항 30.

제 29 항에 있어서,

상기 금속은 섀도우 마스크(shadow mask)를 이용하여 형성되는 것을 특징으로 하는 비정질 실리콘의 결정화 방법

청구항 31.

제 1항에 있어서,

기판으로 산화막이 덮여진 단결정 실리콘(wafer) 혹은 석영(Quartz)으로 사용하는 것을 포함

청구항 32.

절연 기판 위에 비정질 실리콘을 증착하는 단계;

상기 비정질 실리콘 상에 금속층을 면 밀도가 10¹² 내지 10¹⁵ cm⁻² 인 영역으로 증착하는 단계와

상기 금속층 위에 덮개층을 증착하는 단계;

상기 비정질 실리콘을 결정화하여 다결정 실리콘을 형성하는 단계

를 포함하는 비정질 실리콘의 결정화 방법

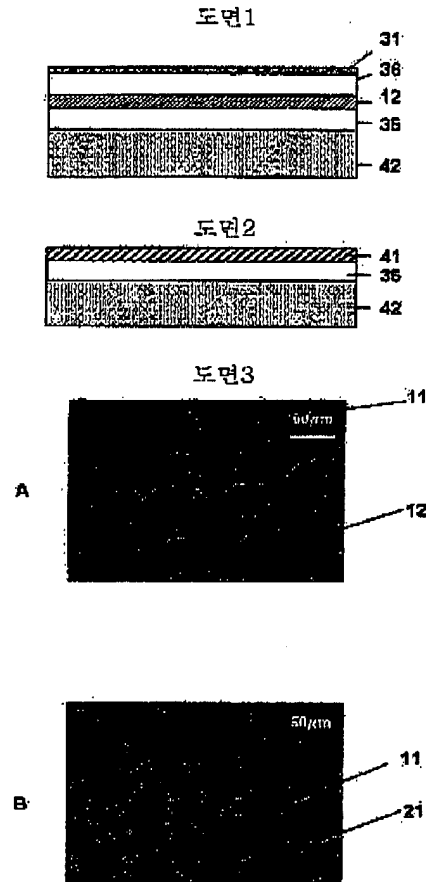
공개특허 특2003-0060403

청구항 33.

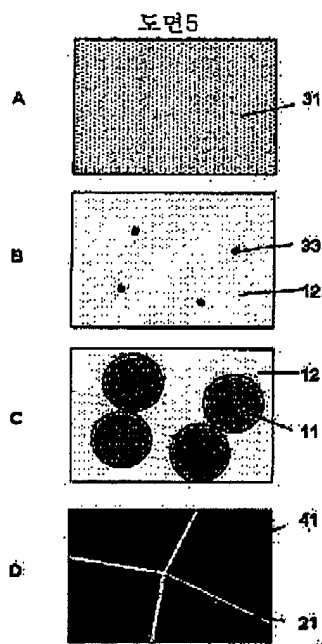
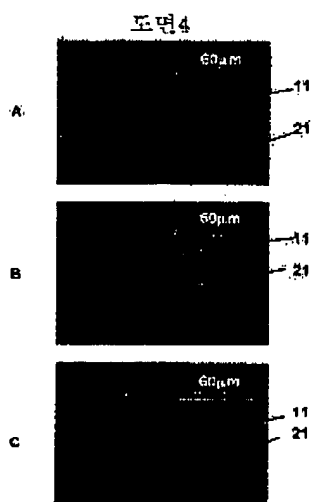
제 32항에 있어서,

상기의 다결정 실리콘을 형성하는 단계 다음에, 덮개층을 제거하거나, 혹은 그대로 둔 상태에서 600~1300℃에서 열처리하는 단계와 상기 다결정 실리콘에 레이저를 조사하는 단계 중의 어느 하나를 더 포함하는 비정질 실리콘의 결정화 방법

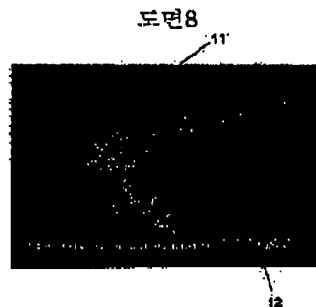
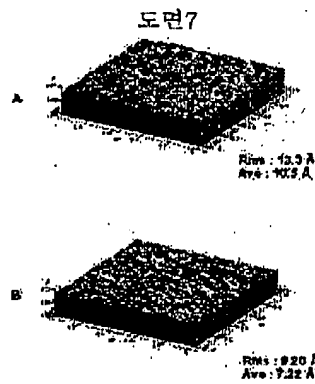
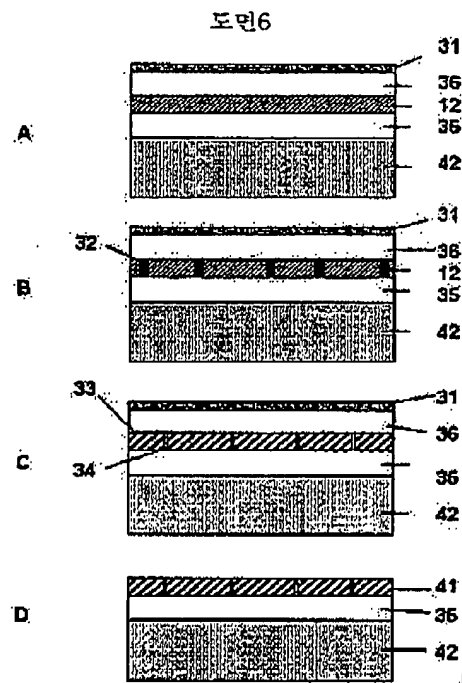
도면



공개특허 2003-0060403



공개특허 2003-0060403



공개특허 2003-0060403

도면9



도면10



도면11



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.